

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-103448

(43)Date of publication of application : 13.04.1999

(51)Int.Cl.

H04N 7/01

(21)Application number : 09-264065

(71)Applicant : TOSHIBA CORP
TOSHIBA AVE CO LTD

(22)Date of filing : 29.09.1997

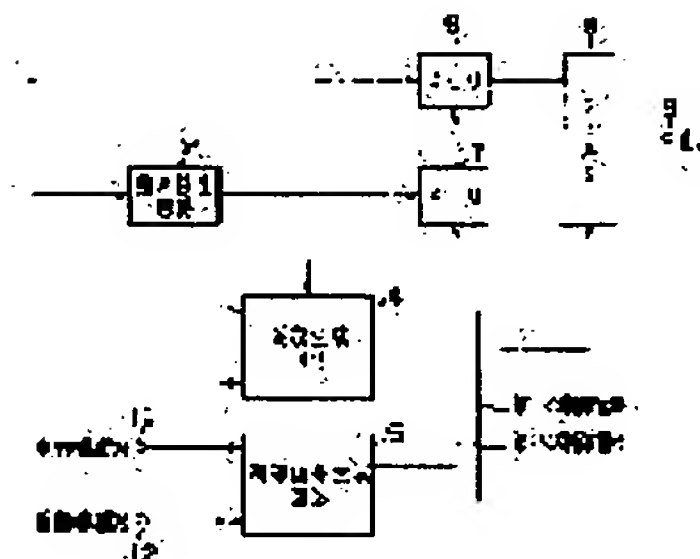
(72)Inventor : SUZUKI TAKASHI
SATO KOICHI

(54) SCANNING LINE CONVERTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To convert a jump scanning signal in a scanning line as it is without deteriorating a frequency characteristic.

SOLUTION: A memory 6 stores the video signal of an image element to be used for interpolation. A movement detecting circuit 2 detects movement near a vertical position corresponding to an interpolating signal, extending the movement in a horizontal and time axial directions and, then, obtains a movement detecting signal corresponding to an interpolation image element. A coefficient generating circuit 14 mixes a still image coefficient and an animation coefficient corresponding to the image element position by a mixing ratio based on the movement detecting signal so as to obtain an interpolation coefficient. A filter 8 adds the multiplying result of the video signal with the interpolating signal so as to generate the interpolating signal. The movement detecting signal is the one corresponding to the interpolation image element so that the frequency characteristic is not deteriorated even when the jump scanning signal is converted in the scanning line as it is.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-103448

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.⁹

識別記号

F I

H 0 4 N 7/01

H 0 4 N 7/01

C

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願平9-264065

(22) 出願日 平成9年(1997) 9月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221029

東芝エー・プイ・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 鈴木 隆

東京都港区新橋3丁目3番9号 東芝エー・プイ・イー株式会社内

(72) 発明者 佐藤 耕一

東京都港区新橋3丁目3番9号 東芝エー・プイ・イー株式会社内

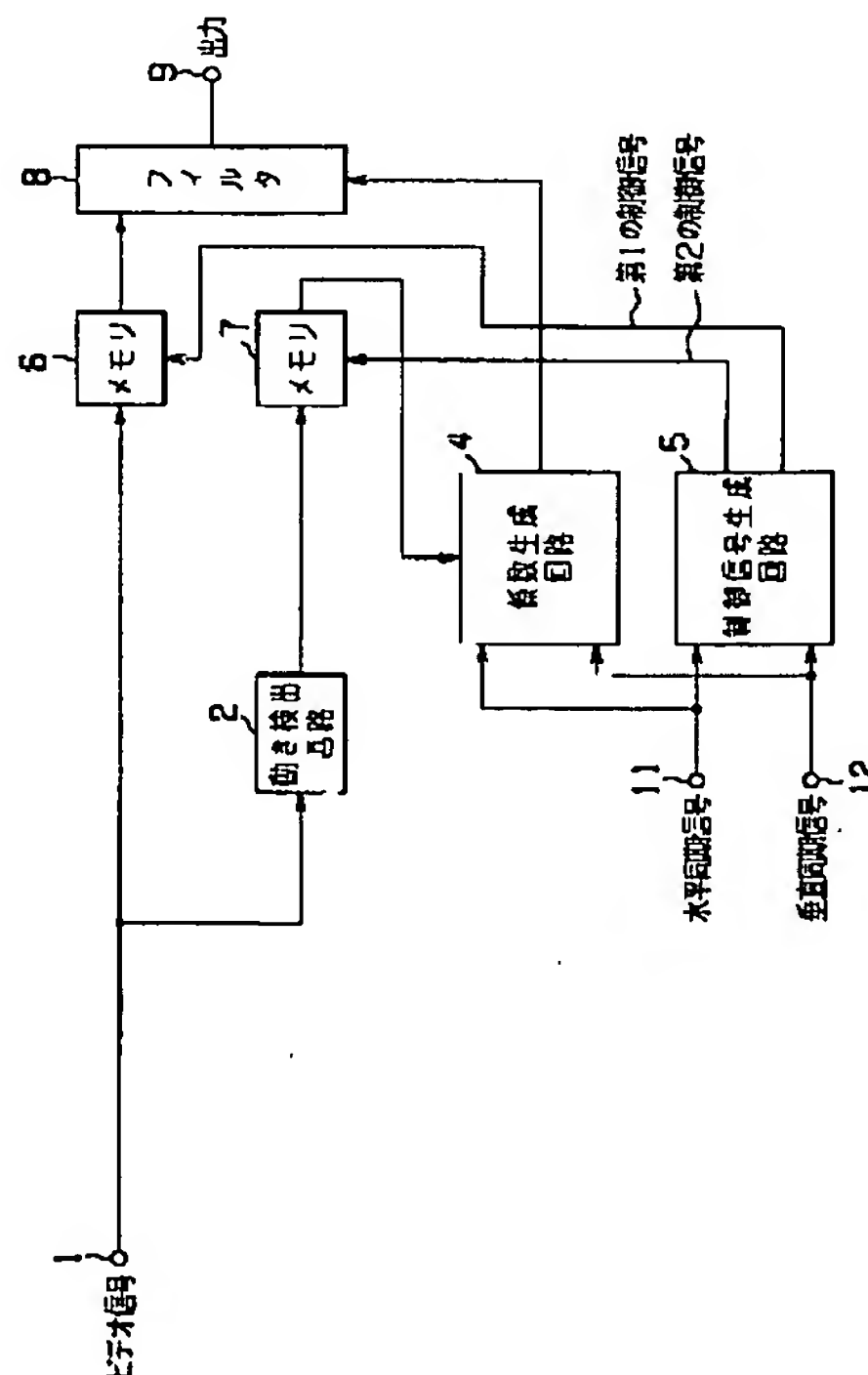
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 走査線変換装置

(57) 【要約】

【課題】周波数特性を悪化させることなく、飛越し走査信号をそのまま走査線変換する。

【解決手段】メモリ6は補間に用いる画素のビデオ信号を記憶する。動き検出回路2は、補間信号に対応する垂直位置近傍の動きを検出し、この動きを垂直及び時間軸方向に拡張することにより、補間画素に対応した動き検出信号を得る。係数生成回路4は画素位置に対応した静止画用係数及び動画用係数を動き検出信号に基づく混合比で混合して補間係数を得る。フィルタ8は、ビデオ信号と補間信号との乗算結果を加算して補間信号を作成する。動き検出信号が補間画素に対応したものであるため、飛越し走査信号をそのまま走査線変換した場合でも、周波数特性は悪化しない。



【特許請求の範囲】

【請求項1】 入力された飛越し走査方式のビデオ信号を記憶し、補間する画素のフィールドとは異なるフィールドであって前記補間する画素の垂直方向に隣接した複数の画素位置のビデオ信号を出力する記憶手段と、入力された前記ビデオ信号の動きを検出して動き検出信号を出力する動き検出手段と、補間する画素に対応したタイミングの前記動き検出信号に基づいて補間係数を生成する補間係数生成手段と、前記記憶手段からのビデオ信号と前記補間係数生成手段からの補間係数とに基づいて補間信号を生成する補間信号生成手段とを具備したことを特徴とする走査線変換装置。

【請求項2】 前記動き検出手段は、入力された前記ビデオ信号のフレーム間差成分に基づく動き信号を垂直及び時間軸方向に拡張することにより前記補間する画素の垂直方向に隣接した複数の画素位置を含む領域における動きの代表値を求めて前記動き検出信号とすることを特徴とする請求項1に記載の走査線変換装置。

【請求項3】 前記動き検出手段は、入力された前記ビデオ信号のフレーム間差成分に基づく動き信号を前記補間する画素の位相に応じて補正して前記動き検出信号を得ることを特徴とする請求項1に記載の走査線変換装置。

【請求項4】 前記補間係数生成手段は、前記記憶手段が出力するビデオ信号の画素位置に応じた静止画用係数及び動画用係数を生成する静止画用及び動画用係数生成手段と、前記静止画用係数及び動画用係数を前記動き検出手段からの動き検出信号に基づく混合比で混合することにより前記補間係数を得る混合手段とを具備したことを特徴とする請求項1に記載の走査線変換装置。

【請求項5】 入力された飛越し走査方式のビデオ信号を記憶し、補間する画素のフィールドとは異なるフィールドであって前記補間する画素の垂直方向に隣接した複数の画素位置のビデオ信号を出力する記憶手段と、入力された前記ビデオ信号の動きを検出して動き検出信号を出力する動き検出手段と、前記補間する画素の垂直方向に隣接した複数の画素位置に基づく係数を生成する係数生成手段と、前記記憶手段からのビデオ信号と前記係数生成手段からの係数との乗算結果及び前記動き検出信号に基づいて補間信号を生成する補間信号生成手段とを具備したことを特徴とする走査線変換装置。

【請求項6】 前記係数生成手段は、前記係数として静止画用係数及び動画用係数を生成し、前記補間信号生成手段は、前記記憶手段からのビデオ信号と前記静止画用係数との乗算結果を加算する第1の加算処理の加算結果と、前記記憶手段からのビデオ信号と前記動画用係数との乗算結果を加算する第2の加算処理

の加算結果とを前記動き検出信号に基づく混合比で混合することにより前記補間信号を得ることを特徴とする請求項5に記載の走査線変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号処理によって走査線変換を行う走査線変換装置に関する。

【0002】

【従来の技術】近年、アスペクト比が16:9のワイドなテレビジョン受信機が普及している。ワイドテレビジョン受信機のアスペクト比に対応させて、EDTV2放送等のワイド放送も行われている。しかし、現在、アスペクト比が4:3のNTSC方式の映像信号による放送が主流であり、アスペクト比が16:9のワイドテレビジョン受信機においてもアスペクト比が4:3の画像を映出させる必要がある。

【0003】この場合には、ワイド画面の全域に画像の絵柄全体を表示させると、絵柄が横長になって垂直方向に潰れた画像が表示されてしまう。このような現象を緩和するために、画面水平方向中央部分の画像を圧縮し、中央から水平方向画面端部に近づくに従って、画像を伸張するという方法等が採用されている。

【0004】また、アスペクト比が16:9のワイドテレビジョン受信機に、アスペクト比が16:9よりも横長の画像を表示する場合には、画面上下に無画部を有するレターボックス形式で表示を行うようになっている。この場合には、画像を画面全域に表示するために、画像を垂直方向に伸張する方法が採用されることもあり、また、画面を左右2画面に分割し、画像を垂直方向に圧縮して各画面の全域に表示する手法が採用されることもある。

【0005】このような画像の圧縮、伸張については、偏向系を制御することにより行うことが可能である。しかしながら、液晶プロジェクションテレビジョン受信機等のように、偏向系を有していない場合には、信号処理によって画像の圧縮、伸張を行う必要がある。例えば、走査線変換処理によって、垂直方向に画像を圧縮、伸張する方法が考えられる。

【0006】飛越し走査方式の映像信号を走査線変換する場合には、周波数特性が悪化することを防止するために、飛越し走査信号を一旦順次走査線変換して順次走査信号を得、この順次走査信号に対して走査線変換を行う方法を採用しなければならない。つまり、順次走査変換処理と走査線変換処理とを別々に行う必要がある。なお、このような、順次走査変換処理については特開平4-157886号公報等に詳述されており、また、走査線変換については、特開平6-141346号公報等に詳述されている。

【0007】

【発明が解決しようとする課題】このように、上述した

従来の走査線変換装置においては、周波数特性の悪化を防止するために、飛越し走査方式の映像信号を順次走査線信号に変換した後に走査線変換を行う必要があるという問題点があった。

【0008】本発明はかかる問題点に鑑みてなされたものであって、周波数特性を悪化させることなく、順次走査線変換と走査線変換とを同時に行うことができる走査線変換装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の請求項1に係る走査線変換装置は、入力された飛越し走査方式のビデオ信号を記憶し、補間する画素のフィールドとは異なるフィールドであって前記補間する画素の垂直方向に隣接した複数の画素位置のビデオ信号を出力する記憶手段と、入力された前記ビデオ信号の動きを検出して動き検出信号を出力する動き検出手段と、補間する画素に対応したタイミングの前記動き検出信号に基づいて補間係数を生成する補間係数生成手段と、前記記憶手段からのビデオ信号と前記補間係数生成手段からの補間係数とに基づいて補間信号を生成する補間信号生成手段とを具備したものであり、本発明の請求項5に係る走査線変換装置は、入力された飛越し走査方式のビデオ信号を記憶し、補間する画素のフィールドとは異なるフィールドであって前記補間する画素の垂直方向に隣接した複数の画素位置のビデオ信号を出力する記憶手段と、入力された前記ビデオ信号の動きを検出して動き検出信号を出力する動き検出手段と、前記補間する画素の垂直方向に隣接した複数の画素位置に基づく係数を生成する係数生成手段と、前記記憶手段からのビデオ信号と前記係数生成手段からの係数との乗算結果及び前記動き検出信号に基づいて補間信号を生成する補間信号生成手段とを具備したものである。

【0010】本発明の請求項1において、記憶手段は、補間に用いる複数の画素の画素位置のビデオ信号を出力する。動き検出手段によって、補間に用いる複数の画素の画素位置を含む領域の動きを代表する動き検出信号を得る。係数生成手段は、補間する画素に対応したタイミングの動き検出信号に基づいて補間係数を生成する。この補間係数と記憶手段からのビデオ信号とに基づいて、補間信号生成手段は補間信号を生成する。

【0011】本発明の請求項5において、係数生成手段は、補間に用いる複数の画素の画素位置に基づく係数を生成する。補間信号生成手段は、この係数と記憶手段からのビデオ信号との乗算結果及び動き検出信号に基づいて補間信号を生成する。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について詳細に説明する。図1は本発明に係る走査線変換装置の一実施の形態を示すブロック図である。

【0013】本実施の形態は、飛越し走査信号に対して、垂直一時間領域の処理を行うことにより、順次走査の信号に変換すると同時に垂直方向の圧縮、伸長処理を動きに適應させて行うものである。

【0014】入力端子1には飛越し走査方式のビデオ信号を入力する。このビデオ信号は、記憶手段としてのメモリ6及び動き検出回路2に供給する。メモリ6は、入力されたビデオ信号を保持し、後述する制御信号生成回路5からの第1の制御信号に基づいて読出してフィルタ8に出力するようになっている。

【0015】動き検出回路2は、フレーム間の差分から動き信号を生成し、生成した動き信号を時間方向及び垂直方向に拡張処理して動き検出信号を得る。この動き検出信号はメモリ7に供給する。

【0016】図2は図1中の動き検出回路2の具体的な構成を示すブロック図である。

【0017】動き検出回路2の入力端子20を介して入力されたビデオ信号は遅延回路21に供給すると共に減算器22にも供給する。遅延回路21は入力されたビデオ信号を525H（Hは水平期間）だけ遅延させて減算器22に出力する。減算器22には1フレーム前後のビデオ信号が入力されることになり、減算器22は1フレーム前後のビデオ信号の差成分を非線形処理回路23に出力する。非線形処理回路23は、入力された差成分を非線形処理して動きの度合いを示す動き信号を得る。

【0018】本実施の形態においては、この動き信号を遅延回路24、26及び最大値回路（以下、MAXという）28に供給するようになっている。遅延回路24の出力は遅延回路25及びMAX28に出力する。遅延回路26の出力は遅延回路27及びMAX28に出力する。遅延回路25、27の出力はMAX28に出力する。遅延回路24、25、27は入力された信号を1Hだけ遅延させ、遅延回路26は入力された信号を262Hだけ遅延させる。

【0019】即ち、MAX28には連続した3ラインの動き信号及び次のフィールドの対応する垂直位置の連続した2ラインの動き信号が入力される。このように、MAX28には、動き信号が垂直及び時間軸方向に拡張処理されて入力される。MAX28は入力された動き信号のうち最大のものを動き検出信号として出力端子29から出力する。メモリ7は、この動き検出信号を保持して、後述する制御信号生成回路5からの第2の制御信号のタイミングで係数生成回路4に出力するようになっている。

【0020】即ち、動き信号を垂直及び時間軸方向に拡張処理することにより、注目する垂直位置に隣接した複数のラインの動きの度合いを注目する垂直位置の動きの度合いと一致させている。これにより、補間画素に対応する画素位置に隣接する複数の画素位置を含む領域の動きを代表した値を求めることができ、補間する画素に適した動き検出信号を用いた動き適応処理が可能となる。

【0021】一方、入力端子11には水平同期信号を与

え、入力端子13には垂直同期信号を与える。これらの水平及び垂直同期信号は係数生成回路4及び制御信号生成回路5に供給するようになっている。

【0022】制御信号生成回路5は、入力された水平及び垂直同期信号に基づいて、メモリ7に格納されている動き検出信号を読み出すための第2の制御信号を生成すると共に、メモリ6に格納されているビデオ信号を読み出すための第1の制御信号を生成する。

【0023】本実施の形態においては、制御信号生成回路5によって、画面上の所定ラインの補間画素を作成するタイミングには、その補間画素が存在するフィールドとは異なる隣接した2フィールドの画素であって、対応する垂直位置に隣接する複数ラインの複数の画素の信号をメモリ6から読み出すと共に、これらの複数の画素の動きを代表するものであって、補間画素に対応した位置の画像の動きを示す動き検出信号をメモリ7から読み出すようになっている。

【0024】係数生成回路4は、補間信号を作成するための補間係数を生成する。画像が完全な静止画像である場合には補間処理をフィールド間で行い、完全な動画である場合には、補間処理をフィールド内で行う。係数生成回路4は、水平同期信号及び垂直同期信号に基づいて、補間信号の作成に用いる画素の画素位置に応じた動画用係数及び静止画用係数を生成する。静止画用係数はフィールド内処理に用いるためのものであり、動画用係数はフィールド間処理に用いるためのものである。係数生成回路4は、これらの係数を画像の動きの度合いに応じて混合することにより、各画素位置に対応した補間係数を生成するようになっている。

【0025】図3は図1中の係数生成回路4の具体的な構成を示すブロック図である。図3は動き検出信号を8段階に分けた場合の例である。

【0026】係数生成回路4の入力端子31, 32には夫々入力端子11, 12からの水平同期信号及び垂直同期信号を与える。これらの水平及び垂直同期信号は静止画用及び動画用係数生成回路33に供給する。静止画用及び動画用係数生成回路33は、静止画用係数生成回路34及び動画用係数生成回路35によって構成している。静止画用係数生成回路34は画素位置に対応した静止画用係数を生成し、動画用係数生成回路35は画素位置に対応した動画用係数を生成する。

【0027】静止画用係数生成回路34からの静止画用係数は係数器36乃至41に与え、動画用係数生成回路35からの動画用係数は係数器42乃至47に与える。係数器36乃至47は入力された係数に所定の係数を乗算して加算器48乃至53に与えるようになっている。なお、係数器36乃至41と係数器42乃至47とは、夫々一方の係数を k とすると他方の係数は $(1-k)$ となる値に設定する。

【0028】図3中の分数は、係数器36乃至47の係数の一例を示している。加算器48乃至53は、夫々、係数器36

乃至41の出力と係数器42乃至47の出力とを加算して、加算結果を選択器54に出力するようになっている。

【0029】選択器54には動き検出信号を与える。図3の例では、“0”乃至“7”の8段階の動き検出信号を選択器54に入力する例を示しており、動き検出信号の“0”乃至“7”は、夫々静止画用係数生成回路34からの静止画用係数、加算器48乃至53の出力及び動画用係数生成回路35からの動画用係数に対応する。選択器54は、入力された係数のうち、動き検出信号に基づく係数を選択して補間係数として出力端子55から出力するようになっている。

【0030】図4は図1中の係数生成回路4による補間係数の生成を説明するための図表である。

【0031】図4では、静止画用係数を s で代表し、動画用係数を m で代表して示している。上述したように、実際の s , m は画素位置に応じた値になっている。図4は“0”乃至“7”の8段階の動き検出信号に対応した補間係数を示している。例えば、完全静止画の場合には、動き検出信号は“0”であり、補間係数としては静止画用係数 s をそのまま用いることを示している。また、完全動画の場合には、動き検出信号は“7”であり、補間係数としては動画用係数 m をそのまま用いることを示している。また、例えば、動き検出信号が“3”である場合には、選択器54は加算器50の出力、即ち、 $(4/7)s + (3/7)m$ を補間係数として出力することを示している。

【0032】つまり、係数生成回路4は、画素位置に応じた静止画用係数と動画用係数とを動き検出信号に基づく混合比で混合することにより補間係数を生成している。

【0033】係数生成回路4からの補間係数はフィルタ8に供給する。フィルタ8にはメモリ6から補間信号の作成に用いる複数画素の信号も入力されており、フィルタ8は補間信号の作成に用いる各画素とこれらの各画素の動きを代表する動き検出信号に応じて生成した各画素毎の補間係数との乗算結果を加算することにより補間信号を得るようになっている。

【0034】図5は図1中のフィルタ8の具体的な構成を示すブロック図である。また、図6は補間信号の作成に用いる画素を説明するための説明図である。図5及び図6は補間信号の作成に7画素を用いる例を示している。

【0035】メモリ6から垂直及び時間方向に隣接する複数画素の信号を読み出してフィルタ8を構成する乗算器61乃至67に与える。図6は横軸にフィールド単位の時間を取り、縦軸を垂直方向の走査線に対応させて、乗算器61乃至67に与える画素を示している。即ち、乗算器61乃至67には、隣接する2フィールドの垂直方向に隣接した7画素（画素 X_0 乃至 X_6 ）（斜線部）の画素信号を与える。

【0036】上述したように、メモリ7からはこれらの7画素の動きを代表し補間する画素位置に対応した位置の動き検出信号を係数生成回路4に与える。また、係数生成回路4は、画素の水平及び垂直位置に応じて発生した静止画用係数及び動画用係数を所定の割合で混合し、混合した結果を動き検出信号に基づいて選択することにより、各画素毎の補間信号を生成している。

【0037】乗算器61乃至67には係数生成回路4から各画素に対応した補間係数 a 乃至 g を与え、乗算器61乃至67は夫々入力された画素 X_0 乃至 X_6 の画素信号と補間係数 a 乃至 g とを乗算して乗算結果を加算器68に出力するようになっている。加算器68は、入力された乗算結果を加算して、補間信号として出力端子9から出力するようになっている。

【0038】なお、完全動画の場合には、フィールド内の処理を行うので、補間信号の作成に用いる画素、即ち、補間係数を適用する画素は、図4に示すように、例えば画素 X_0 、 X_2 、 X_4 、 X_6 の4画素である。また、完全静止画の場合には、7画素全てを用いてもよいが、端の画素は補間係数として0を割り当てることが適当であるとも考えられるので、図4に示すように、例えば X_0 乃至 X_5 の6画素を用いる。

【0039】次に、このように構成された実施の形態の動作について図7及び図8を参照して説明する。図7は伸張処理における動作を説明するための説明図であり、図8は圧縮処理を説明するための説明図である。図7及び図8においては、横軸にフィールド単位の時間を取り、縦軸は画面垂直方向の各ラインを示しており、黒丸は各ラインの画素を示し、斜線丸印は補間によって作成する補間信号を示している。

【0040】先ず、図7を参照して画像を垂直方向に伸張する場合について説明する。図7の縦線は連続したフィールドを示している。図7の最右端に示すフィールドの各ラインを伸張する場合について説明する。この場合には、例えばこのフィールドの前2フィールドの画素であって、垂直方向及び時間方向に隣接した複数の画素（太枠で囲った画素）を補間信号の作成に用いる。

【0041】図7の例は、垂直方向画素数を4/3倍にするものであり、補間フィールドの画素 Z_3 を補間するために、前2フィールドの画素 X_0 乃至 X_6 の7画素を用いている。

【0042】いま、補間フィールドの画素 Z_3 を補間するものとする。入力端子1を介して入力されたビデオ信号は、メモリ6及び動き検出回路2に与える。メモリ6によって補間フィールドの前2フィールドの7画素（ X_0 乃至 X_6 ）を保持する。

【0043】動き検出回路2は、メモリ6に記憶する画素 X_0 乃至 X_6 の1フレーム前の画素 Y_0 乃至 Y_6 を遅延回路21によって1フレーム期間遅延させ、減算器22によって1フレーム前後の信号の差分を求めることによ

り、 X_0 、 Y_0 間、 X_1 、 Y_1 間、 X_2 、 Y_2 間、 X_3 、 Y_3 間及び X_4 、 Y_4 間の動き成分を求める。これらの動き成分を、非線形処理回路23によって非線形処理して動きの度合いを検出する。

【0044】動きの度合いは遅延回路24乃至27によって垂直方向及び時間軸方向に拡張処理して MAX_{28} に与える。 MAX_{28} は動きの度合いの最大値を動き検出信号として出力する。動き検出信号はメモリ7に供給する。

【0045】補間する画素 Z_3 に対して図7の位置 MD_1 が垂直方向に対応する位置である。従って、動きに適応させた補間処理を行うためには、位置 MD_1 の動きを検出する必要がある。しかしながら、非線形処理回路23から得られる動き信号は、図7の X_2 と Y_2 の差成分から生成したものである。そこで、本実施の形態においては、遅延回路24乃至27によって、この動き信号を垂直及び時間軸方向に拡張処理している。つまり、 X_2 、 Y_2 間に隣接した X_0 、 Y_0 間、 X_1 、 Y_1 間、 X_3 、 Y_3 間及び X_4 、 Y_4 間の動きの度合いは全て、 X_2 、 Y_2 間の動きの度合いに一致するように処理する。これにより、従来通りの手法で動きを検出した場合でも、生成すべき補間画素に相当する動きを包含し、画像の動きに適応した伸張処理が可能となる。

【0046】一方、制御信号生成回路5は、入力端子1、12から水平及び垂直同期信号に基づいて、メモリ6、7に記憶された信号を讀出するための第1及び第2の制御信号を発生する。これにより、メモリ6から画素 X_0 乃至 X_6 の信号が讀出されてフィルタ8に供給されると共に、これらの画素に対応した動き検出信号がメモリ7から讀出されて係数生成回路4に供給される。

【0047】係数生成回路4は、水平及び垂直同期信号に基づいて、静止画用及び動画用係数生成回路33において各画素位置に対応した静止画用係数及び動画用係数を生成する。静止画用係数は係数器36乃至41によって所定の係数と乗算し、動画用係数は係数器42乃至47によって所定の係数と乗算する。加算器48乃至53がこれらの係数器36乃至47の出力を加算することにより、図4に示す動き検出信号“1”乃至“6”に対応した補間係数を得る。

【0048】これらの補間係数、静止画用係数及び動画用係数を選択器54に与えて、動き検出信号に応じて選択する。こうして、係数生成回路4は動き検出信号に基づいて、画素 X_0 乃至 X_6 に夫々対応した補間係数 a 乃至 g を生成してフィルタ8に出力する。

【0049】フィルタ8は、乗算器61乃至67によって、メモリ6から讀出した画素 X_0 乃至 X_6 の信号とこれらの画素に夫々対応した補間係数 a 乃至 g とを乗算し、加算器68によって乗算結果を加算することによって、画素 Z_3 の補間信号を生成する。

【0050】こうして、飛越し走査信号を直接走査線変換する場合でも、周波数特性を悪化させることなく伸張

処理可能である。

【0051】一方、図8は、垂直方向画素数を3/4倍にするものであり、補間フィールドの画素Z2を補間するために、前2フィールドの画素X0乃至X6の7画素を用いている。

【0052】この場合には、係数生成回路4の静止画用及び動画用係数生成回路33は画像伸張時と異なる静止画用係数及び動画用係数を生成する。他の作用は画像伸張時と同様である。

【0053】この場合でも、フレーム間の差成分から生成した動き信号を垂直及び時間軸方向に拡張処理することにより、生成すべき補間画素Z2に対応する画素位置MD2の動きを包含し画像の動きに適応した動き検出信号を得ることができ、周波数特性を悪化させない圧縮処理が可能となる。

【0054】このように、本実施の形態においては、飛越し走査のビデオ信号から補間信号を作成するために、2フィールドの画素であって、対応する垂直位置に隣接した複数の画素を用い、これらの複数の画素から求めた動き信号を垂直及び時間軸方向に拡張処理して動き検出信号を作成しており、画像の動きに適応した補間信号の作成が可能となる。これにより、周波数特性を悪化させることなく、飛越し走査のビデオ信号を一旦順次走査信号に変換せずに、直接走査線変換することが可能となる。

【0055】なお、補間信号を得るために用いる画素は図1の実施の形態に限定されるものではなく、また、静止画用係数及び動画用係数の画素位置に対応した値の設定方法並びに静止画用係数と動画用係数の混合比等も図1の実施の形態に限定されるものではない。

【0056】例えば、図9乃至図14は、補間信号の作成に用いる画素及び補間係数の他の設定例を示す説明図である。

【0057】図9は画像を4/3倍に伸張する例を示しており、図10は画像を3/4倍に圧縮する例を示している。図9では、隣接した2フィールドの画素…、X-1, X0, X1, …によって、画素…、Z-1, Z0, Z1, …を作成するようになっている。図11及び図12は、夫々図9の場合において、画像が完全静止画又は完全動画であるときの補間係数及び補間に用いる画素を示している。

【0058】図11は補間信号の作成に6つの画素の信号を用いる例、即ち、図5のフィルタとして6つの乗算器を用いる例を示している。例えば、図9の画素Z0については、画像が完全静止画である場合には、2フィールドの画素X-1乃至X4の6画素を用いて作成する。そして、画素Z0の作成のために乗算器に与える補間係数a乃至fとして夫々3/16, 6/16, 3/16, 2/16, 1/16, 1/16を設定している。これらの値は画像が完全静止画であるので静止画用係数の値と同

一である。

【0059】また、画像が完全動画である場合にはフィールド内の処理を行うので、図12に示すように、画素Z0の作成のために、画素X-2, X0, X2, X4の4つの画素を用いる。そして、これらの画素の信号に乗算する係数としては、夫々3/16, 8/16, 3/16, 2/16を設定している。これらの値は画像が完全動画であるので動画用係数の値と同一である。

【0060】静止画用係数及び動画用係数は、静止画用及び動画用係数生成回路33が補間に用いる画素の画素位置に応じて作成しており、図11及び図12に示すように、補間に用いる画素毎に異なる値となっている。画像が完全静止画又は完全動画でない場合には、これらの静止画用係数及び動画用係数を動き検出信号に応じた混合比で混合することにより補間信号を得ることは明らかである。

【0061】図10は画像を圧縮する場合の例を示している。画像が完全静止画又は完全動画である場合において、図10に示す補間画素の生成に用いる画素及び補間係数は、夫々図13又は図14に示してある。なお、図13及び図14は夫々完全静止画又は完全動画の例であるので、図13に示す補間係数は静止画用係数の値と一致しており、図14に示す補間係数は動画用係数の値と一致している。

【0062】図15は本発明の他の実施の形態を示すブロック図である。本実施の形態は、映像信号用のデジタル信号処理装置（以下、DSPという）を用いた場合の例である。

【0063】入力端子71には飛越し走査方式のビデオ信号を与える。このビデオ信号は入力信号用のインタフェース部（以下、I/F部という）75を介してDSP70に供給する。入力端子72には水平同期信号を与え、入力端子73には垂直同期信号を与える。

【0064】I/F部75、動き検出部76、係数生成部77、フィルタ部78、メモリ部79及び出力用のI/F部80は、DSP70内部のデータバス74に接続している。I/F部80の出力は補間信号として出力端子81から出力するようになっている。なお、メモリ部79をDSP70の外部に設けてもよいことは明らかである。

【0065】動き検出部76、係数生成部77、フィルタ部78は夫々図1の動き検出回路2、係数生成回路4及びフィルタ8と同様の作用を呈するようになっている。メモリ部79は、図1のメモリ6, 7と同様の作用を呈する。I/F部75は入力端子71からのビデオ信号をデータバス74に与え、I/F部80はデータバス74からの補間信号を出力端子81を介して出力する。

【0066】図16は図15中のフィルタ部78の具体的な構成を示すブロック図である。

【0067】データバス74を介して入力された飛越し走査方式のビデオ信号は、入力端子85を介してレジスタ86

に供給する。レジスタ86は補間信号の作成に用いる画素の信号を記憶し、これらの画素の信号を夫々乗算器87乃至93に与える。乗算器87乃至93には係数生成部77において生成した補間係数a乃至gも与えるようになっている。乗算器87乃至93は、入力された画素の信号とこれらの画素に夫々対応した補間係数a乃至gとを乗算して乗算結果を加算器94に出力する。加算器94は、乗算結果を加算して補間信号として出力端子95からデータバス74に出力するようになっている。

【0068】このように構成された実施の形態においては、DSP70内の各部がデータバス74を介してデータを送受しながら補間信号を生成する。即ち、I/F部75からのビデオ信号はデータバス74を介してメモリ79に格納する。動き検出部76は、図1の動き検出回路2と同様の作用によって、補間画素の画素位置に対応する位置の動きを包含する動き検出信号を出力する。

【0069】この動き検出信号は係数生成部77に与えられ、係数生成部77は、図1の係数生成回路4と同様の作用によって、画素位置に対応する静止画係数及び動画係数を動き検出信号に基づく混合比で混合して補間係数を生成する。補間係数はフィルタ部78の乗算器87乃至93に与える。

【0070】一方、フィルタ部78は、メモリ部79からビデオ信号を讀出し、補間画素の作成に用いる画素の信号をレジスタ86に記憶する。更に、フィルタ部78は、レジスタ86から讀出した各画素の信号と補間係数とを乗算器87乃至93において乗算し、乗算結果を加算器94によって加算する。加算結果は、補間信号としてデータバス74からI/F部80を介して出力端子81に出力する。

【0071】このように、本実施の形態においても図1の実施の形態と同様の効果を得ることができる。

【0072】更に、本実施の形態においては、DSPを用いているので、高速処理が可能である。このため、フィルタ部78からの補間信号を一旦メモリ部79に書込んで保持し、生成した一部の補間信号のみを最終的な補間信号として出力することも可能である。

【0073】図17は本発明の他の実施の形態を示すブロック図である。図17において図15と同一の構成要素には同一符号を付して説明を省略する。

【0074】上記各実施の形態においては、フィルタ係数として動きの度合いに応じて作成した補間係数を用いたが、本実施の形態においては、フィルタの出力を動きの度合いに応じて制御するようになっている。なお、本実施の形態はDSPを用いて構成した例であるが、DSPを用いることなく構成してもよいことは明らかである。

【0075】本実施の形態は、係数生成部77及びフィルタ部78に代えて係数生成部87及びフィルタ部88を採用した点が図15の実施の形態と異なる。

【0076】図18は図17中の係数生成部87の具体的

な構成を示すブロック図である。図17において図3と同一の構成要素には同一符号を付して説明を省略する。

【0077】係数生成部87は、静止画用及び動画用係数生成回路33のみによって構成している。静止画用及び動画用係数生成回路33は、静止画用係数生成回路34及び動画用係数生成回路35を有している。入力端子31, 32には水平及び垂直同期信号を与え、静止画用係数生成回路34は、画素位置に対応した静止画用係数を生成して出力端子91から出力し、動画用係数生成回路35は、画素位置に対応した動画用係数を生成して出力端子92から出力するようになっている。出力端子92からの係数はデータバス74に送出されるようになっている。

【0078】図19は図17中のフィルタ部88の具体的な構成を示すブロック図である。図19において図16と同一の構成要素には同一符号を付して説明を省略する。図19は補間信号の作成に、前2フィールドの補間画素に対応する垂直位置の上下に隣接した7画素X0乃至X6（図6参照）を用いる例を示している。なお、図4に示すように、完全静止画の場合には画素X0乃至X5の6画素に補間係数を適用し、完全動画の場合には、画素X0, X2, X4, X6の4画素に補間係数を適用するものとする。

【0079】レジスタ86は補間に用いる画素の信号を保持する。レジスタ86が保持する画素が図6に示す画素X0乃至X6であるものとする。レジスタ86は画素X0乃至X5の信号を夫々乗算器93乃至98に与え、画素X0, X2, X4, X6の信号を乗算器99乃至102に与えるようになっている。

【0080】一方、乗算器93乃至98には、データバス74を介して、係数生成部87において作成した画素X0乃至X5に夫々対応した静止画用係数h, i, j, l, o, p（以下h乃至pという）も供給し、乗算器99乃至102には、データバス74を介して、係数生成部87において作成した画素X0, X2, X4, X6に夫々対応した動画用係数q, r, t, u（以下、q乃至uという）も供給するようになっている。

【0081】乗算器93乃至102は、夫々入力された画素の信号と係数h乃至uとを乗算する。乗算器93乃至98の乗算結果は加算器104に与え、乗算器99乃至102の乗算結果は加算器103に与えるようになっている。加算器103, 104は入力された乗算結果を夫々加算し、加算結果を混合回路（以下、MIXという）105に出力する。

【0082】MIX105には動き検出部76が求めた動き検出信号も与える。MIX105は、加算器103, 104からの加算結果を動き検出信号に応じた混合比で混合して補間信号を生成し、出力端子95を介してデータバス74に送出するようになっている。

【0083】次に、このように構成された実施の形態の動作について説明する。

【0084】静止画用及び動画用係数生成回路33は、各

画素位置に応じた静止画用係数及び動画用係数を生成してデータバス74に送出する。一方、フィルタ部88のレジスタ86は、補間信号の生成に用いる画素の信号を取込んで保持する。いま、図7に示す画素Z3の補間を行うものとする。この場合には、レジスタ86は図7の画素X0乃至X6の信号を取込む。レジスタ86は画素X0乃至X5の信号を乗算器93乃至98に与え、画素X0, X2, X4, X6の信号を乗算器99乃至102に与える。

【0085】乗算器93乃至98は、夫々データバス74を介して画素X0乃至X5に対応した静止画用係数h乃至pも与えられており、画素X0乃至X5の信号と静止画用係数h乃至pとを乗算して乗算結果を加算器104に出力する。また、乗算器99乃至102は、夫々データバス74を介して画素X0, X2, X4, X6に対応した動画用係数q乃至uも与えられており、画素X0, X2, X4, X6の信号と動画用係数q乃至uとを乗算して乗算結果を加算器103に出力する。

【0086】加算器103, 104は入力された乗算結果を夫々加算し、加算結果をMI X105に出力する。MI X105は、動き検出信号に基づく混合比で加算器103, 104の出力を混合して補間信号を生成する。

【0087】図15の実施の形態においては、図4に示すように、完全動画では画素X0, X2, X4, X6の信号に補間係数を乗算して加算することにより補間信号を得、完全静止画では画素X0乃至X5の信号に補間係数を乗算して加算することにより補間信号を得ている。従って、図15の実施の形態のように、静止画用係数及び動画用係数を動き検出信号に応じた混合比で混合して得た補間係数と各画素の信号とを乗算して加算した結果（補間信号）と、本実施の形態のように、静止画用係数及び動画用係数と各画素の信号とを乗算して加算した結果を動き検出信号に応じた混合比で混合した結果（補間信号）とは略々同様の値となる。

【0088】このように、本実施の形態においても、図15の実施の形態と同様の効果を得ることができる。

【0089】図20は本発明の他の実施の形態を示すブロック図である。図20において図15と同一の構成要素には同一符号を付して説明を省略する。

【0090】上記各実施の形態においては、動き検出信号は、フレーム間の差信号に基づく動き信号を垂直及び時間軸方向に拡張処理することにより得ていた。これに対し、本実施の形態においては、フレーム間の差信号に基づく動き信号を、生成すべき補間信号の位相に応じて補正することにより動き検出信号を得るものである。なお、本実施の形態はDSPを用いて構成した例であるが、DSPを用いることなく構成してもよいことは明らかである。

【0091】本実施の形態は、動き検出部76に代えて動き検出部111を採用した点が図15の実施の形態と異なる。図21は図15中の動き検出部111の具体的な構成

を示すブロック図である。図21において図2と同一の構成要素には同一符号を付して説明を省略する。

【0092】非線形処理回路23からはフレーム間差分に基づく動き信号が出力される。この動き信号は遅延回路115及び係数器117に供給する。遅延回路115は、動き信号を263Hだけ遅延させて係数器116に出力する。

【0093】係数器116, 117には隣接した2ライン、即ち、異なるフィールドの同一水平位置の画素の動きを示す動き信号が入力されることになる。係数器116, 117は、入力された動き信号と生成する補間信号の位相に応じた係数とを乗算する。係数器116, 117の出力は加算器118に供給する。加算器118は係数器116, 117の出力を加算して、加算結果を動き検出信号として出力端子119から出力するようになっている。なお、出力端子119からの動き検出信号はデータバス74に送出される。

【0094】次に、このように構成された実施の形態の動作について図22を参照して説明する。図22は横軸にフィールド単位の時間を取り、縦軸は画面垂直方向の各ラインを示しており、白丸は各ラインの画素を示している。また、図22の縦線は連続したフィールドを示している。図22の最右端に示すフィールドの各ラインを伸張する場合について説明する。この場合には、例えばこのフィールドの前2フィールドの画素であって、垂直方向及び時間方向に隣接した複数の画素を補間信号の作成に用いる。図22の例は、垂直方向画素数を4/3倍にするものである。

【0095】本実施の形態においては、動き検出信号の検出方法が上記各実施の形態と異なるのみである。いま、図22に示す補間フィールドの前2フィールドの画素X0乃至X6の7画素を用いて画素Z3を補間するものとする。動き検出部111は画素Z3に対応する画素位置M1（黒の三角印）における動きに相当する動き検出信号を出力すればよい。この場合には、動き検出部111は、M1の上下のラインにおける動き、即ち、画素X2, Y2間の動き及び画素X3, Y3間の動きから位置M1における動きを検出する。

【0096】即ち、入力端子20を介して入力したビデオ信号は遅延回路21によって1フレーム期間遅延させ、減算器22は1フレーム期間前後のビデオ信号を減算する。非線形処理回路23によって減算器22の出力を非線形処理して動き信号を得る。

【0097】例えば、いま、非線形処理回路23から画素X3, Y3間の動き信号が出力されるタイミングであるものとする。この場合には、遅延回路115からは前記フィールドの画素X2, Y2間の動き信号が得られる。これらのX3, Y3間の動き信号及びX2, Y2間の動き信号は夫々係数器116, 117に与える。

【0098】係数器116, 117は画素Z3の位相に相当する係数、例えば、画素X2, X3と位置M1との各垂直距離に応じた係数が与えられており、これらの係数と

動き信号とを乗算する。この乗算結果を加算器118において加算して動き検出信号を得る。この動き検出信号は、画素位置M1の動きを表すものと考えることができる。

【0099】加算器118からの動き検出信号は出力端子119を介してデータバス74に送出する。他の作用は図15の実施の形態と同様である。

【0100】本実施の形態においても、図15の実施の形態と同様の効果を得ることができることは明らかである。なお、本実施の形態における動き検出信号の作成方法を他の実施の形態において採用してもよいことも明らかである。

【0101】

【発明の効果】以上説明したように本発明によれば、周波数特性を悪化させることなく、順次走査線変換と走査線変換とを同時に行うことができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係る走査線変換装置の一実施の形態を示すブロック図。

【図2】図1中の動き検出回路2の具体的な構成を示すブロック図。

【図3】図1中の係数生成回路4の具体的な構成を示すブロック図。

【図4】図1中の係数生成回路4を説明するための説明図。

【図5】図1中のフィルタ8の具体的な構成を示すブロック図。

【図6】図1中のフィルタ8を説明するための説明図。

【図7】図1の実施の形態の動作を説明するための説明図。

【図8】図1の実施の形態の動作を説明するための説明図。

【図9】補間画素と補間に用いる画素との関係を示す説明図。

【図10】補間画素と補間に用いる画素との関係を示す説明図。

【図11】補間に用いる画素と補間係数との関係を示す説明図。

【図12】補間に用いる画素と補間係数との関係を示す説明図。

【図13】補間に用いる画素と補間係数との関係を示す説明図。

【図14】補間に用いる画素と補間係数との関係を示す説明図。

【図15】本発明の他の実施の形態を示すブロック図。

【図16】図15中のフィルタ部78の具体的な構成を示すブロック図。

【図17】本発明の他の実施の形態を示すブロック図。

【図18】図17中の係数生成部87の具体的な構成を示すブロック図。

【図19】図17中のフィルタ部88の具体的な構成を示すブロック図。

【図20】本発明の他の実施の形態を示すブロック図。

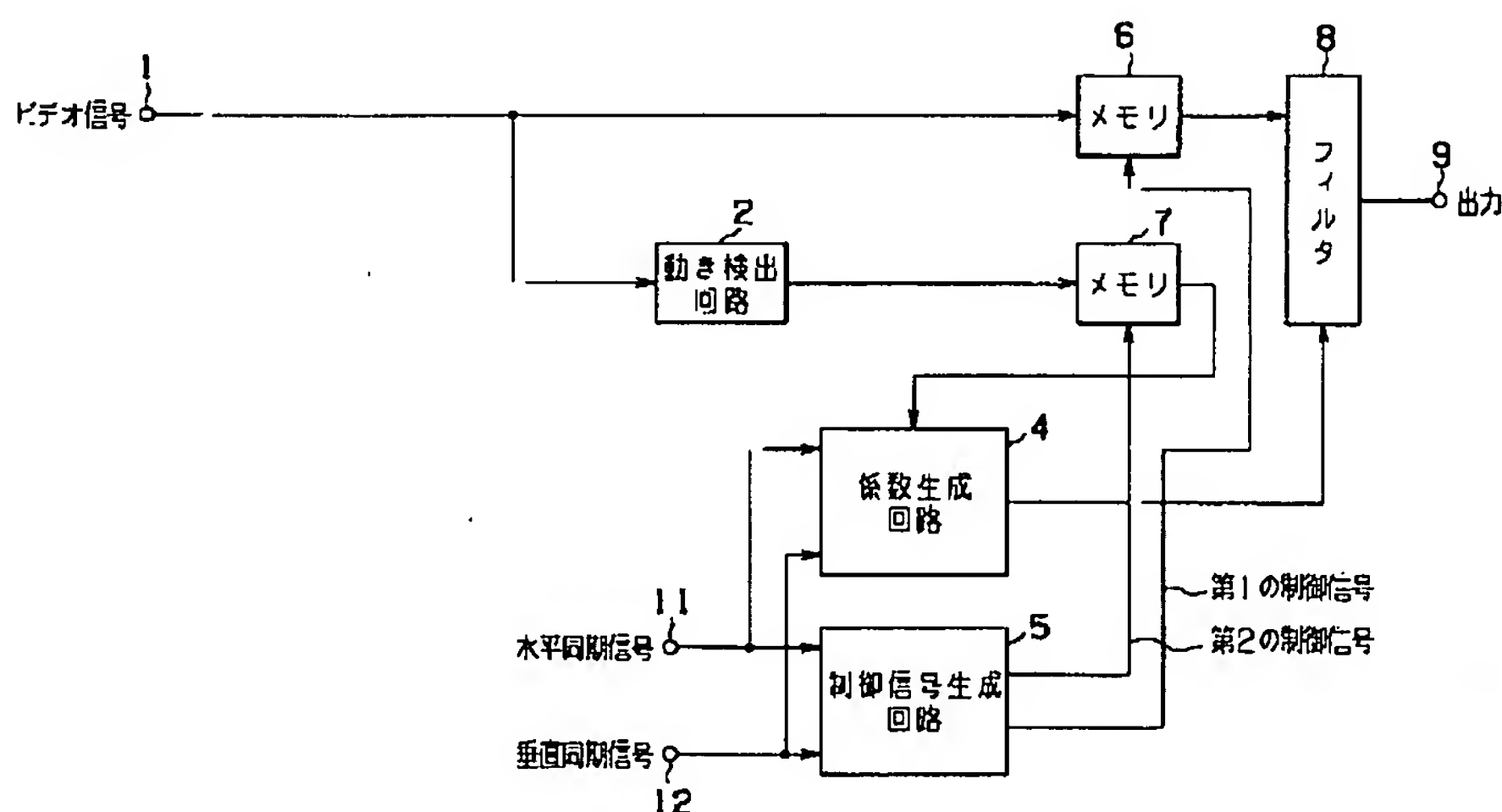
【図21】図20中の動き検出部111の具体的な構成を示すブロック図。

【図22】図20の実施の形態の動作を説明するための説明図。

【符号の説明】

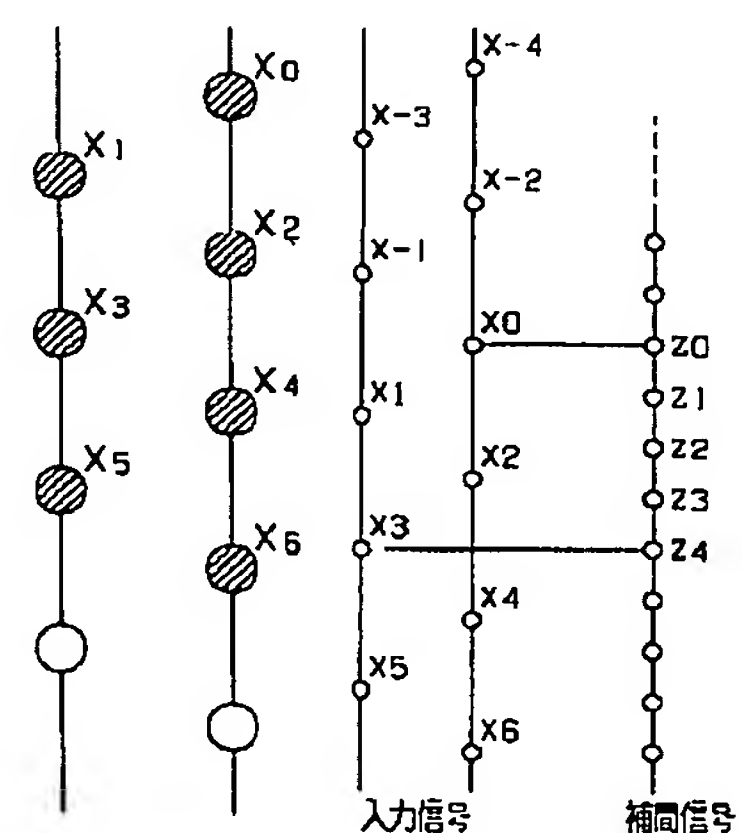
2…動き検出回路、4…係数生成回路、5…制御信号生成回路、6, 7…メモリ、8…フィルタ。

【図1】

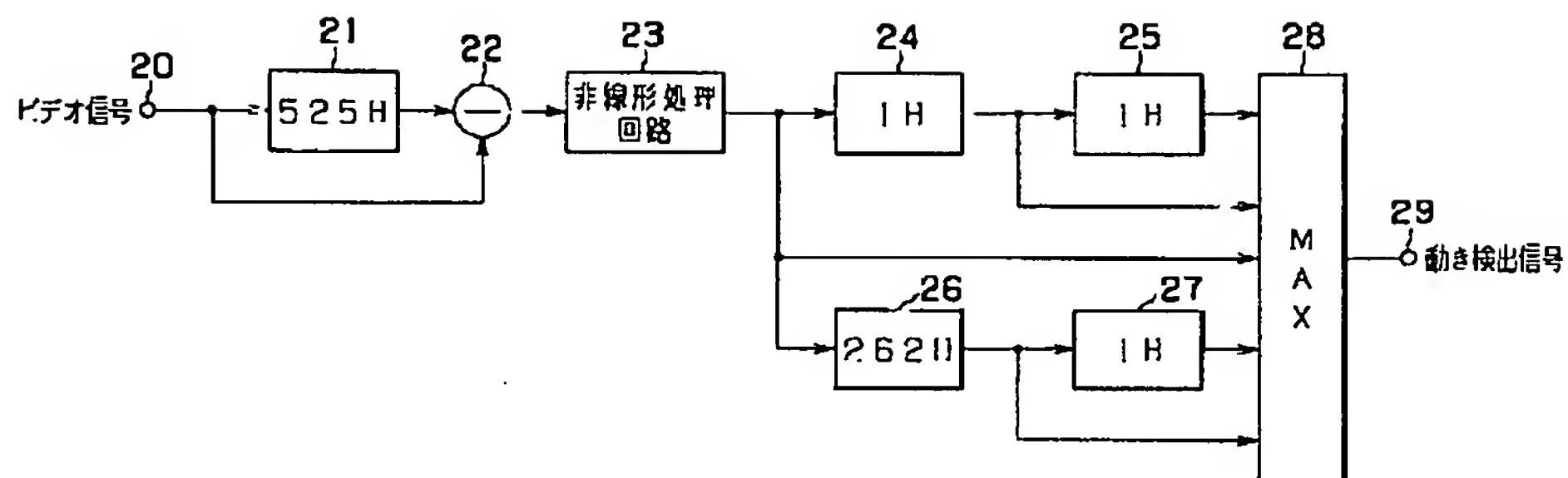


【図6】

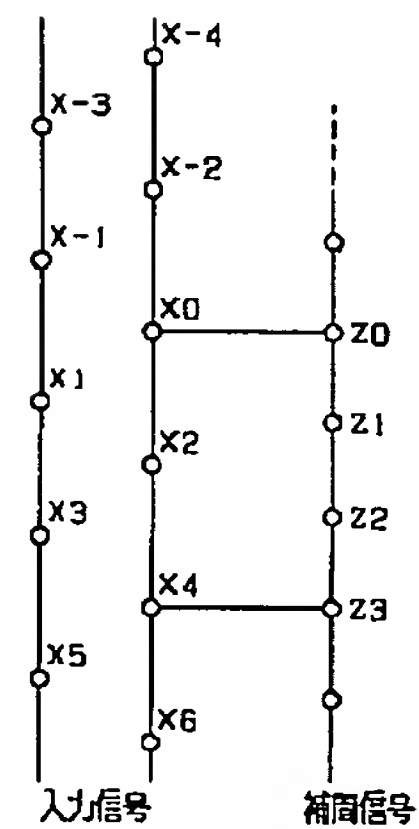
【図9】



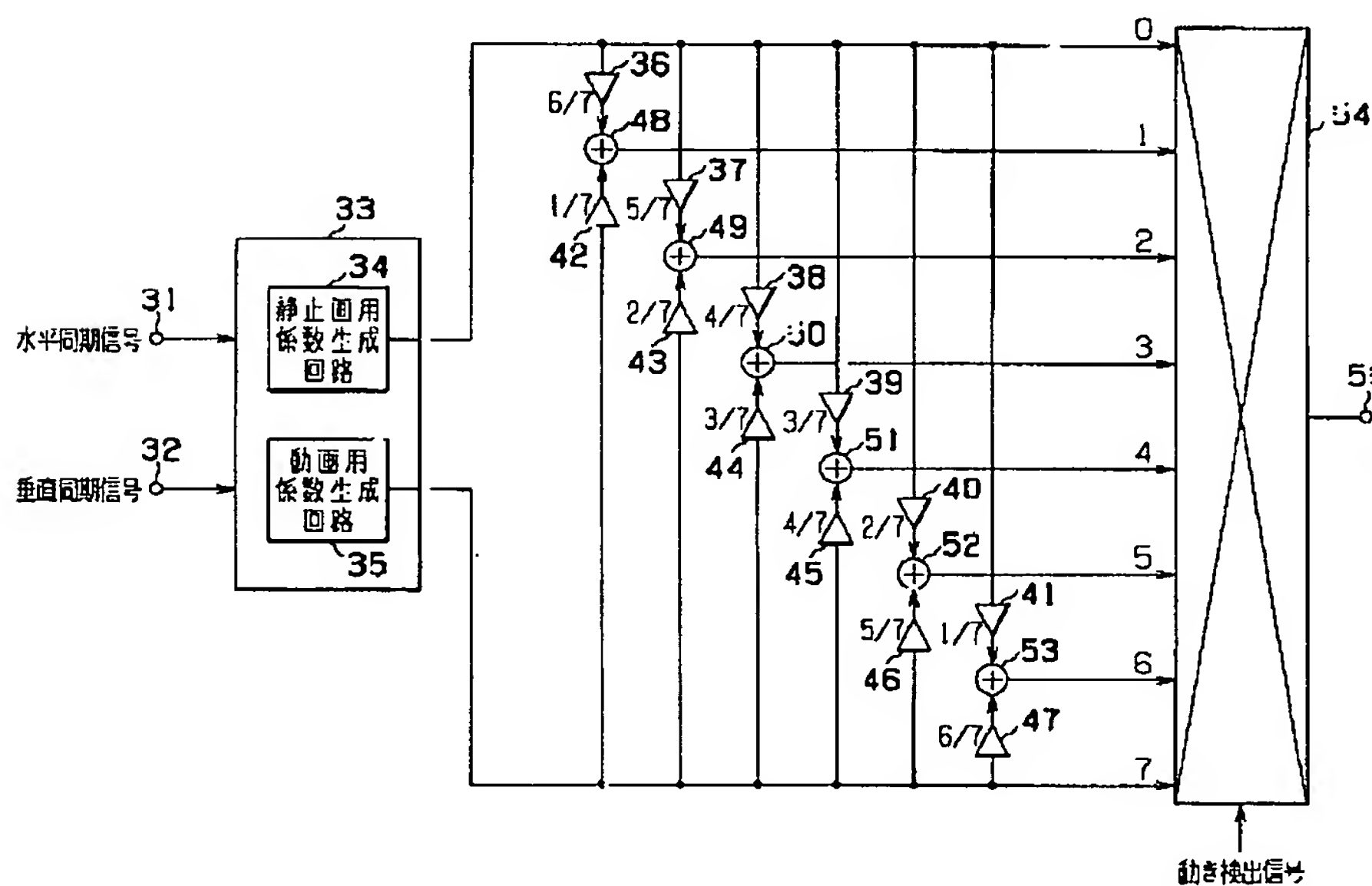
【図2】



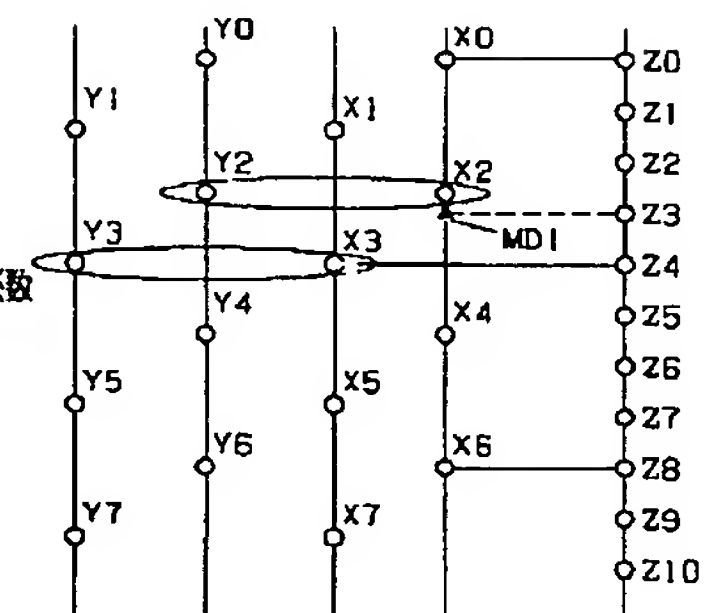
【図10】



【図3】



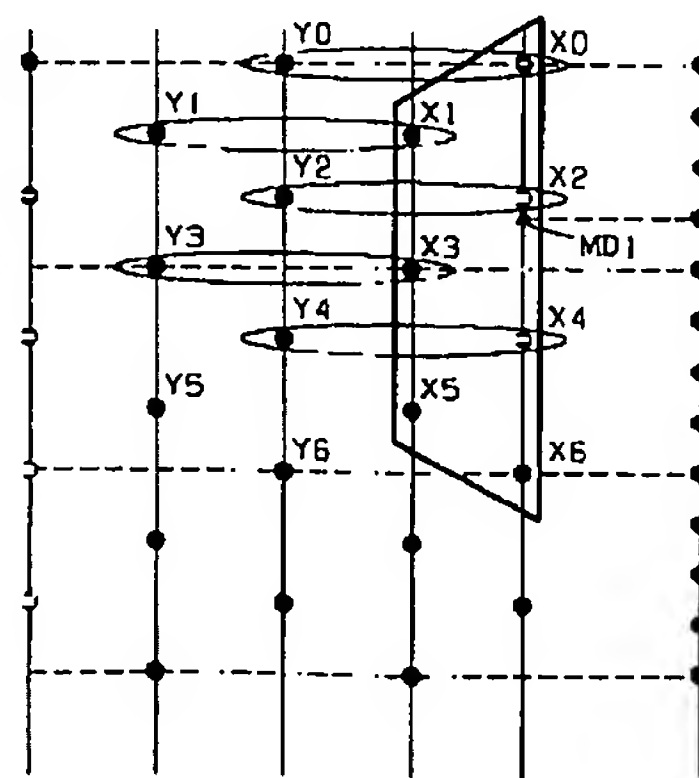
【図22】



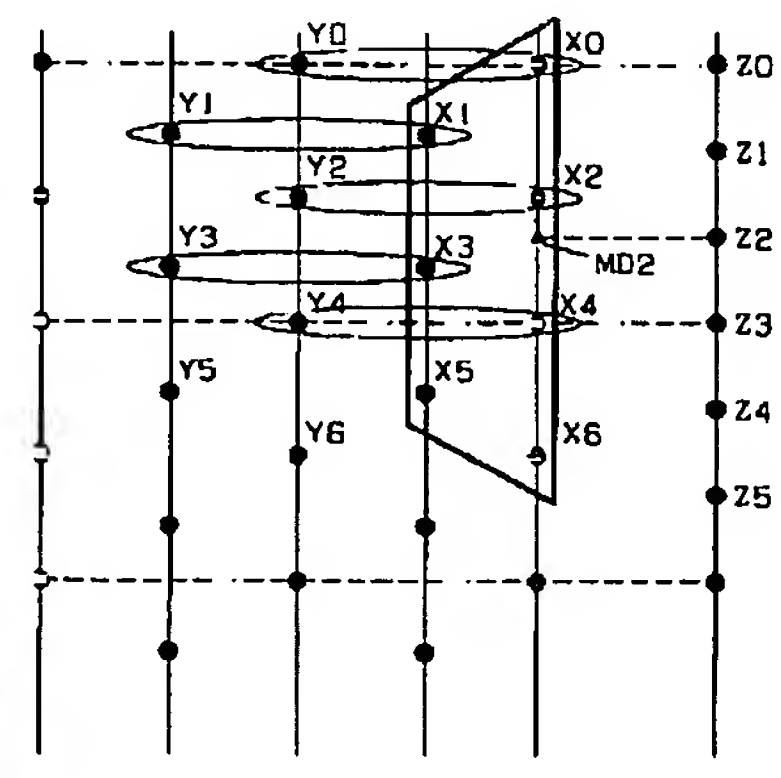
【図4】

動きの 度 合 完 全 静止面	動き検出信号	係数生成回路 4からの補間係数	適用画素
0	0	s (静止画用係数)	X0, X1, X2, X3, X4, X5
1	1	$6/7s + 1/7m$	X0, X1, X2, X3, X4, X5, X6
2	2	$5/7s + 2/7m$	
3	3	$4/7s + 3/7m$	
4	4	$3/7s + 4/7m$	
5	5	$2/7s + 5/7m$	
6	6	$1/7s + 6/7m$	
完 全 動 画	7	m (動画用係数)	X0, X2, X4, X6

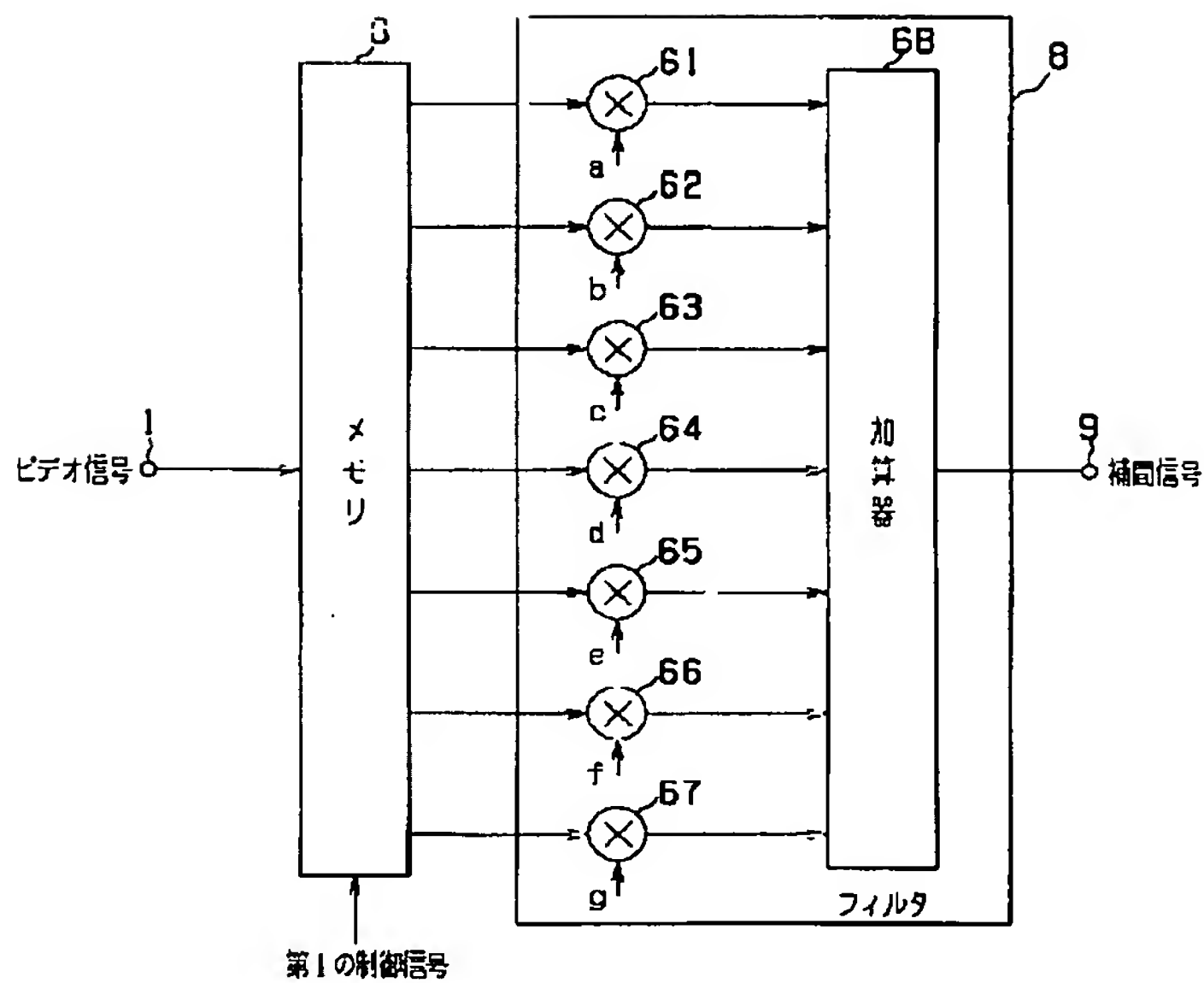
【図7】



【図8】



【図 5】



【図 1 1】

画素	補間係数	補間信号
X-1	3/16	Z ₀
X ₀	6/16	
X ₁	3/16	
X ₂	2/16	
X ₃	1/16	
X ₄	1/16	Z ₁
X-1	3/16	
X ₀	4/16	
X ₁	4/16	
X ₂	3/16	
X ₃	1/16	Z ₂
X ₄	1/16	
X ₀	2/16	
X ₁	4/16	
X ₂	4/16	
X ₃	3/16	Z ₃
X ₄	2/16	
X ₅	1/16	
X ₀	2/16	
X ₁	3/16	
X ₂	4/16	Z ₄
X ₃	4/16	
X ₄	2/16	
X ₅	1/16	
X ₀	1/16	
X ₁	2/16	
X ₂	3/16	
X ₃	5/16	
X ₄	3/16	
X ₅	2/16	

【図 1 2】

画素	補間係数	補間信号
X-2	3/16	Z ₀
X ₀	8/16	
X ₂	3/16	
X ₄	2/16	
-	-	
X ₂	2/16	Z ₁
X ₀	7/16	
X ₂	4/16	
X ₄	3/16	
-	-	
X ₂	3/16	Z ₂
X ₀	5/16	
X ₂	5/16	
X ₄	3/16	
-	-	
X ₀	3/16	Z ₃
X ₂	7/16	
X ₄	4/16	
X ₆	2/16	
-	-	
X ₀	3/16	Z ₄
X ₂	5/16	
X ₄	5/16	
X ₆	3/16	
-	-	

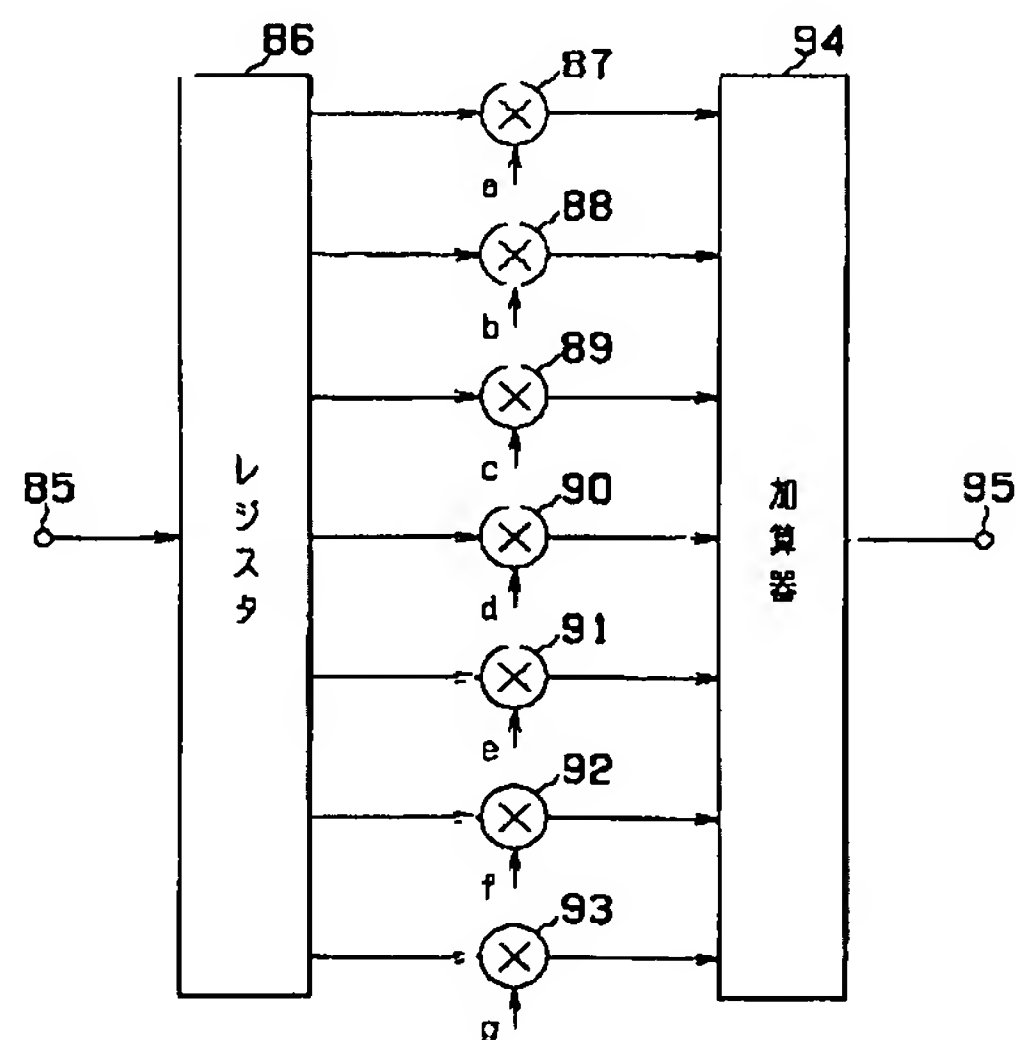
【図 1 3】

画素	補間係数	補間信号
X-1	4/16	Z ₀
X ₀	6/16	
X ₁	4/16	
X ₂	2/16	
X ₃	0	
X ₄	0	Z ₁
X-1	1/16	
X ₀	3/16	
X ₁	4/16	
X ₂	4/16	
X ₃	3/16	Z ₂
X ₄	1/16	
X ₀	1/16	
X ₁	3/16	
X ₂	4/16	
X ₃	4/16	Z ₃
X ₄	3/16	
X ₅	1/16	
X ₀	0	
X ₁	0	
X ₂	2/16	
X ₃	4/16	
X ₄	6/16	
X ₅	4/16	

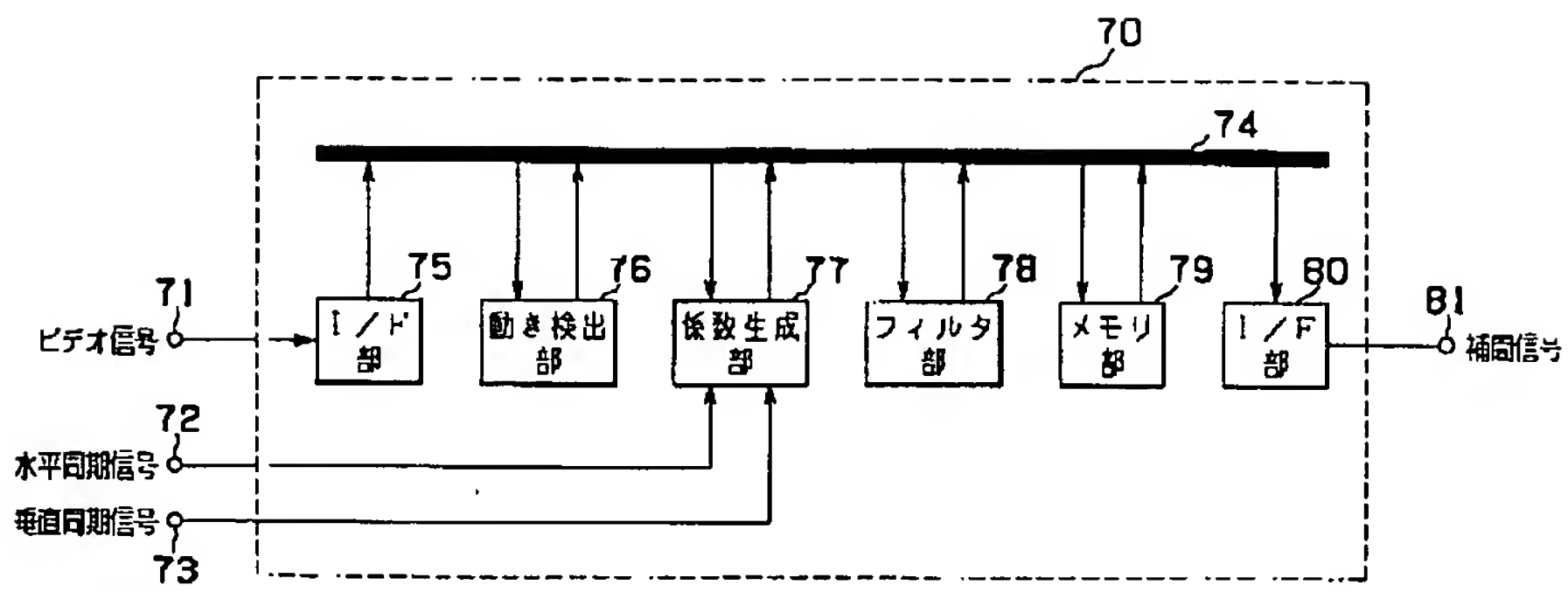
【図 1 4】

画素	補間係数	補間信号
X-2	4/16	Z ₀
X ₀	6/16	
X ₂	4/16	
X ₄	2/16	
-	-	
X-2	6/16	Z ₁
X ₀	6/16	
X ₂	3/16	
X ₄	1/16	
-	-	
X ₀	2/16	Z ₂
X ₂	6/16	
X ₄	6/16	
X ₆	2/16	
-	-	
X ₀	2/16	Z ₃
X ₂	4/16	
X ₄	6/16	
X ₆	4/16	
-	-	

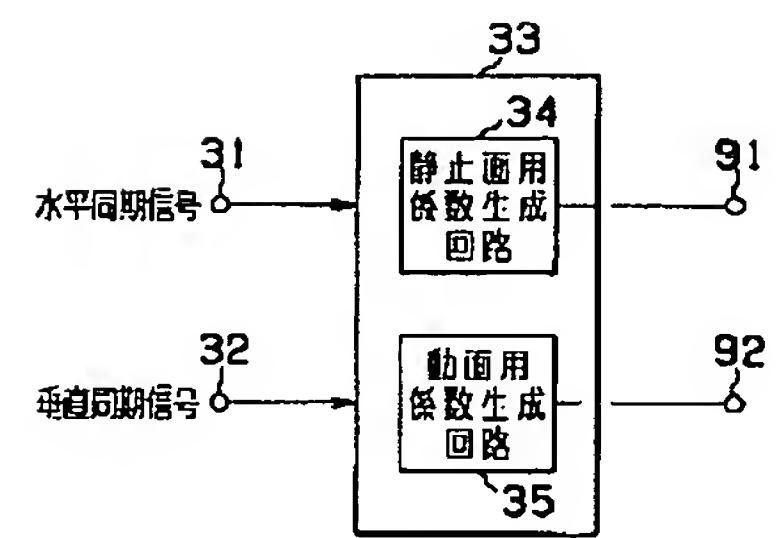
【図 1 6】



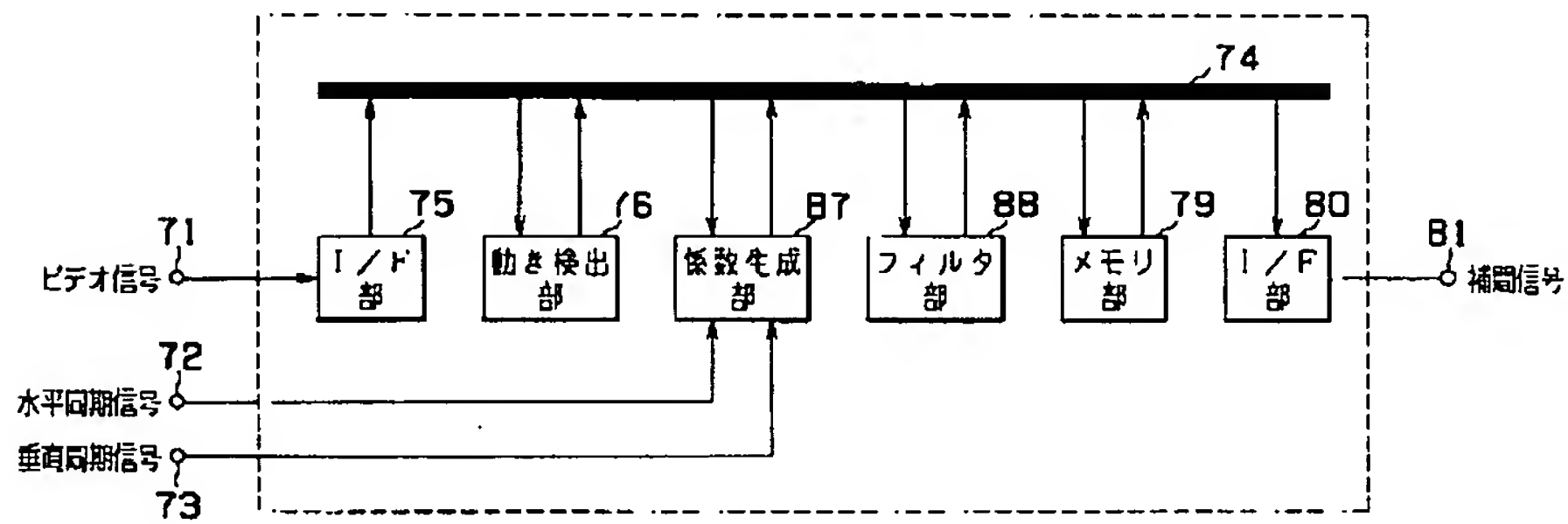
【図15】



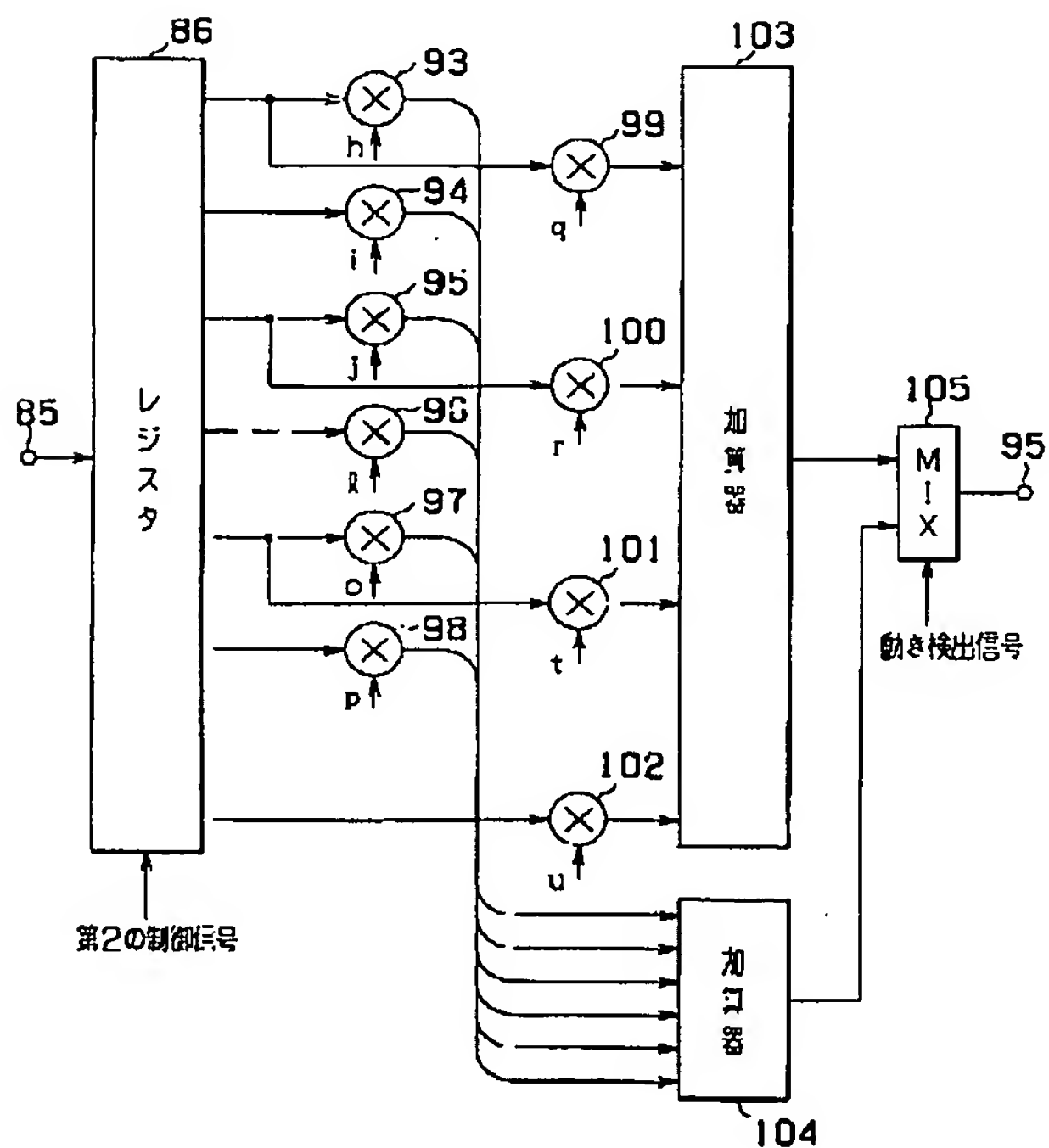
【図18】



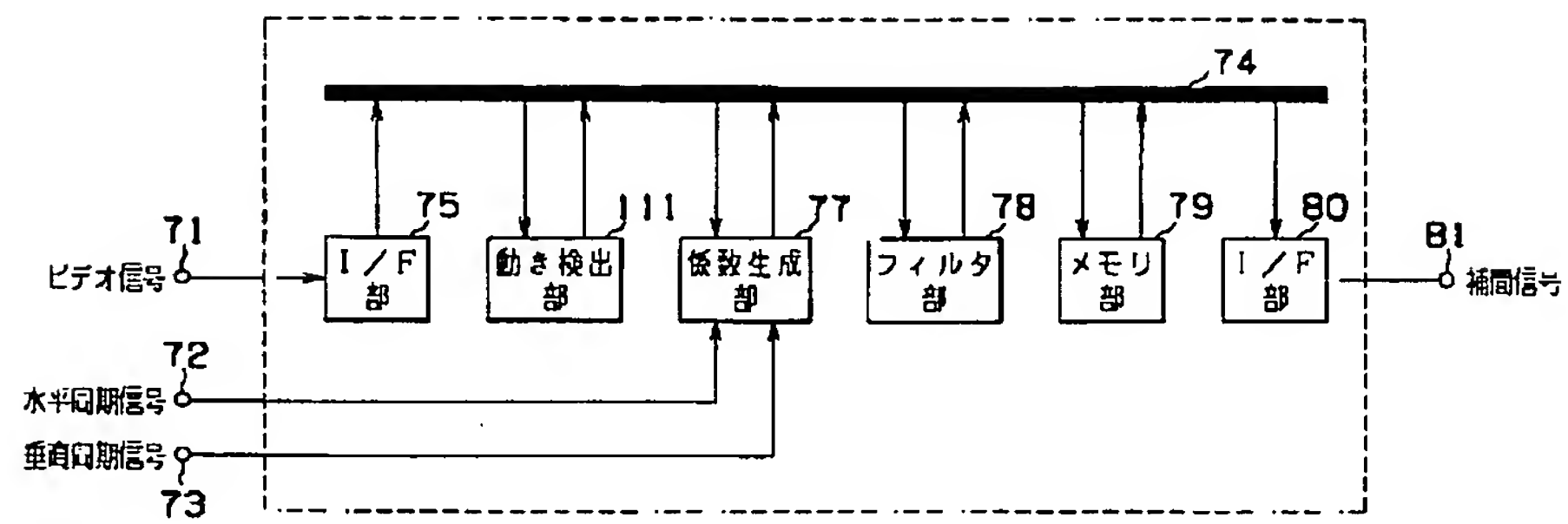
【図17】



【図19】



【図 2 0】



【図 2 1】

